

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-263326

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 11/30  
1/32

3 1 0

7313-5B

G 0 6 F 11/30  
1/00

3 1 0 B

3 3 2 B

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願平7-65881

(22) 出願日 平成7年(1995)3月24日

(71) 出願人 000003137

マツダ株式会社

広島県安芸郡府中町新地3番1号

(72) 発明者 中園 秀己

広島県安芸郡府中町新地3番1号 マツダ  
株式会社内

(72) 発明者 平野 誠治

広島県安芸郡府中町新地3番1号 マツダ  
株式会社内

(72) 発明者 大坪 善徳

広島県安芸郡府中町新地3番1号 マツダ  
株式会社内

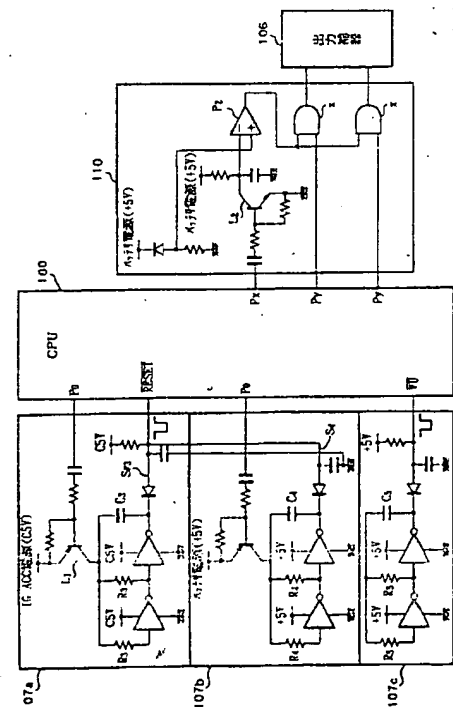
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 CPUの異常検出装置

(57) 【要約】

【目的】 バッテリ電源に接続されたCPUの消費電力を効果的に低減できるCPUの異常検出装置を提案する。

【構成】 W/W回路107は、第1リセット回路107aと、第2リセット回路107bと、パルス出力回路107cからなる。第1リセット回路107aは、ポートP0から出力される信号により、CPU100のポートRESETにリセット信号を出力する。この第1リセット回路107aからリセット信号が出力される周期は、抵抗R3、コンデンサC3により定められる。第2リセット回路107bは、第1リセット回路107aと同様に、CPU100のポートRESETにリセット信号を出力する。この第2リセット回路107bからリセット信号が出力される周期は、抵抗R4、コンデンサC4により定められる。そして、第2リセット回路107bのリセット周期は、パルス出力回路107cからのパルス信号出力周期よりも長く設定される。



## 【特許請求の範囲】

【請求項1】 所定条件が成立した場合、CPUに対してリセット信号を出力するCPUの異常検出装置において、

バッテリー電源が供給されて、第1の周期毎に前記CPUの異常を検出する第1の異常検出回路と、

前記バッテリー電源以外の電源が供給されて、第2の周期毎に前記CPUの異常を検出する第2の異常検出回路と、

前記CPUがスリープ状態の場合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力する出力手段とを備え、

前記バッテリー電源以外の電源がオフの状態における、前記第1の周期を前記第2の周期よりも長く設定すると共に、前記所定期間を前記第1の周期よりも短く設定したことを特徴とするCPUの異常検出装置。

【請求項2】 前記CPUは、前記バッテリー電源で動作する車両の電装ユニットを制御し、該CPUの異常時において、該CPUから該電装ユニットに対して制御信号が出力されても該電装ユニットの作動を禁止する作動禁止回路を更に備えることを特徴とする請求項1に記載のCPUの異常検出装置。

【請求項3】 前記第1又は第2の異常検出回路は、前記CPUから該第1又は第2の異常検出回路に対して前記第1又は第2の周期毎に所定信号が出力されない場合、該CPUに対してリセット信号を出力することを特徴とする請求項1に記載のCPUの異常検出装置。

【請求項4】 前記バッテリー電源以外の電源は、自動車のイグニッションスイッチ又はアクセサリスイッチのオン状態において供給されることを特徴とする請求項1に記載のCPUの異常検出装置。

【請求項5】 所定条件が成立した場合、自動車の電装ユニットを制御するCPUに対してリセット信号を出力するCPUの異常検出装置において、

少なくともバッテリー電源が供給され、所定期間毎にCPUの異常を検出する異常検出回路と、

前記CPUがスリープ状態の場合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力すると共に、該所定期間を前記所定期間と略同じ期間で且つ前記電装ユニットの制御に支障のない範囲でできるだけ長く設定された出力手段と、

前記CPUの異常時において、該CPUから前記電装ユニットに対して制御信号が出力されても該電装ユニットの作動を禁止する作動禁止回路とを具備することを特徴とするCPUの異常検出装置。

【請求項6】 前記異常検出回路は、前記CPUから該異常検出回路に対して前記所定期間毎に所定信号が出力されない場合、該CPUに対してリセット信号を出力することを特徴とする請求項5に記載のCPUの異常検出

装置。

【請求項7】 前記異常検出回路は、前記バッテリー電源以外に自動車のイグニッションスイッチ又はアクセサリスイッチのオン状態においても電源を供給されることを特徴とする請求項5に記載のCPUの異常検出装置。

【請求項8】 複数の通信ノードが多重伝送路を介して接続され、該複数の通信ノードの中で、少なくとも所定条件が成立した場合、スリープ状態となる所定通信ノードを含む多重伝送システムにおいて、該所定通信ノードのCPUに異常が検出されると、該CPUに対してリセット信号を出力するCPUの異常検出装置であって、前記所定通信ノードは、

バッテリー電源が供給されて、第1の周期毎に前記CPUの異常を検出する第1の異常検出回路と、

前記バッテリー電源以外の電源が供給されて、第2の周期毎に前記CPUの異常を検出する第2の異常検出回路と、

前記CPUがスリープ状態の場合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力する出力手段とを備え、

前記バッテリー電源以外の電源がオフの状態における、前記第1の周期を前記第2の周期よりも長く設定すると共に、前記所定期間を前記第1の周期よりも短く設定したことを特徴とするCPUの異常検出装置。

【請求項9】 前記所定通信ノードは、少なくとも前記バッテリー電源で動作する自動車の電装ユニットを制御し、前記CPUの異常時において、該CPUから該電装ユニットに対して制御信号が出力されても該電装ユニットの作動を禁止する作動禁止回路を更に備えることを特徴とする請求項8に記載のCPUの異常検出装置。

【請求項10】 前記第1又は第2の異常検出回路は、前記CPUから該第1又は第2の異常検出回路に対して前記第1又は第2の周期毎に所定信号が出力されない場合、該CPUに対してリセット信号を出力することを特徴とする請求項8に記載のCPUの異常検出装置。

【請求項11】 前記バッテリー電源以外の電源は、自動車のイグニッションスイッチ又はアクセサリスイッチのオン状態において供給されることを特徴とする請求項8に記載のCPUの異常検出装置。

【請求項12】 前記所定条件が成立するのは、自動車のイグニッションスイッチがオフされ、全ドアが閉じられた状態で所定時間経過した時であることを特徴とする請求項8に記載のCPUの異常検出装置。

【請求項13】 複数の通信ノードが多重伝送路を介して接続され、該複数の通信ノードのいくつかは夫々に接続された車両の電装ユニットを制御するCPUを備えると共に、該CPUを備える通信ノードの中で、少なくとも所定条件が成立した場合、スリープ状態となる所定通信ノードを含む多重伝送システムにおいて、前記所定通信ノードのCPUに異常が検出されると、該CPUに対

してリセット信号を出力するCPUの異常検出装置であって、

前記所定通信ノードは、

少なくともバッテリー電源が供給され、所定期間毎にCPUの異常を検出する異常検出回路と、

前記CPUがスリープ状態の場合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力すると共に、該所定期間を前記所定期間と略同じ期間で且つ前記電装ユニットの制御に支障のない範囲でできるだけ長く設定された出力手段と、

前記CPUの異常時において、該CPUから前記電装ユニットに対して制御信号が出力されても該電装ユニットの作動を禁止する作動禁止回路とを具備することを特徴とするCPUの異常検出装置。

【請求項14】 前記異常検出回路は、前記CPUから該異常検出回路に対して前記所定期間毎に所定信号が出力されない場合、該CPUに対してリセット信号を出力することを特徴とする請求項13に記載のCPUの異常検出装置。

【請求項15】 前記異常検出回路は、前記バッテリー電源以外に自動車のイグニッションスイッチ又はアクセサリスイッチのオン状態においても電源を供給されることを特徴とする請求項13に記載のCPUの異常検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CPUの作動状態を監視し、異常が発生した場合、該CPUに対してリセット信号を出力するCPUの異常検出装置に関し、例えば、共通の多重伝送路に接続された複数の多重通信ノードにおいて、夫々のノードに接続された電装品を制御するために複数種のデジタル情報の送信及び受信を行う多重伝送システムにおけるCPUの異常検出装置に関するものである。

【0002】

【従来の技術】近年、自動車の電子部品（電装ユニット）の増加に伴う該電装ユニット間を結ぶ配線（ワイヤハーネス）の肥大化、複雑化を解消するために、複数の電装ユニットに設けられた通信用ノードを共通の多重通信線に接続し、各電装ユニット間の信号伝送を通信ノードにより行う多重通信が注目されている。

【0003】図1に、上記通信ノードの回路構成を示す。図示のように、例えば、ABSコントローラ(Anti-lock-brakesystem)を司る通信ノードは、通信用IC101を介して高速伝送路MB1及び中低速伝送路MB2に接続されている。100は制御を行なうCPUであり、RAM/ROM102に格納されたプログラムに従って動作する。CSMA/CD方式の物理層レベルのプロトコル制御は通信用IC101により行なわれる。CPU100

は、入力インタフェース(I/F)部103を介して各種センサやスイッチ等の入力補器104から信号が入力されると共に、出力インタフェース(I/F)部105を介して、ソレノイドバルブ駆動モータ等の出力補器106に制御信号を出力する。

【0004】更に、CPU100は、通信用IC101を制御し、入力補器104から入力した信号を他の通信ノードが用いる所定の通信フレームに記入して多重伝送路MB1又はMB2に送出すると共に、通信用IC101が受け取った他のノードからのデータを制御信号に演算処理して出力補器106に送出する。即ち、CPU100は、バス上のフレームデータを電装ユニット104が使用可能なフォーマットに変換したり、電装ユニット104からのデータを所定のフレームフォーマットに変換したりする。

【0005】入力補器104からの入力信号は、入力インタフェース(I/F)部103を介してCPU100に出力される。一方、CPU100から出力される制御信号は、診断機能付き出力ドライバ109(IPS:intelligent power switching)を介して出力補器106に送出される。IPS109はCPU100から送出される制御信号が正常か否かを診断する。

【0006】WD回路107'は、CPU100における暴走等の異常状態を検出する。このWD回路107'は、CPU100の異常を検出することにより、CPUから出力補器に対して正常な制御信号が出力されなくなり、ソレノイドバルブで誤動作等が発生するのを防止する。WD回路107'は、CPUが正常な場合、CPUからパルスを周期的に出力され、このパルスが出力されなくなったときにCPUが暴走又は何らかの異常が発生したと判断して、CPUに対してリセットする信号を出力する。

【0007】以上説明したCPU100、通信用IC101、入力及び出力I/F部103、105、WD回路107'は、電源回路部108を介して外部のバッテリー電源供給路Bから電源が供給されている。電源回路部108は、電源供給路Bに接続され、通信ノード用の駆動電圧(例えば、+5V)に調圧した後、通信ノード内部の各回路へ電力を供給する。

【0008】また、従来の多重伝送システムにおいては、2種類の多重伝送路が設けられ、イグニッションスイッチのオンにより通信可能となるもの(便宜上、高速伝送路と呼ぶ)と、バッテリー電源に接続され常時通信可能なもの(便宜上、中低速伝送路と呼ぶ)とに大別される。これら2種類の多重伝送路に接続される通信用ノードにおいて、高速伝送路に接続される通信用ノードは、エンジン制御やABS制御を司る通信用ノードでありCPUの演算処理速度やメモリ容量が大きく設定されている。一方、中低速伝送路に接続される通信用ノードは、ワイパーや各種のランプの作動を司る通信用ノードであ

りCPUの演算処理速度やメモリ容量が低く設定されていたり、場合によってはCPUを搭載しないで通信ICを介して通信フレームの送信、受信を行うものがある。

【0009】ところで、上記高速伝送路及び中低速伝送路の中で、特に中低速伝送路においては、バッテリー電源に常時接続され、回線が切断されることがないため、その中低速伝送路に接続された通信ノードが多くなるほどバッテリーの消費電力が大きくなり、通信ノードは常にオンされた状態のため動作していない時の暗電流も大きくなる。このため、従来からこの暗電流を低減する対策として、通信ノードに所定の条件が成立した時に電力供給を停止するスリープモードを設けたものが提案されている（特開昭64-143535号公報参照）。

【0010】図2に上記WD回路107'の詳細回路を示す。図2に示すように、WD回路107'は、リセット回路107a'とパルス出力回路107b'からなる。リセット回路107a'は、ポートP0から出力される信号により、スイッチングトランジスタL1をオン／オフされてCPU100のポートRESETにリセット信号を出力する。トランジスタL1のコレクタ側には、バッテリー電源から電源回路部108を介して+5Vの電圧が付加されている。また、ポートRESETに接続される信号線S1にも抵抗を介して+5Vの電圧が付加されている。例えば、CPU100のポートP0からパルス信号が出力されると、トランジスタL1のベースに電圧が付加されて、トランジスタL1がカットオフ状態になる。トランジスタL1がオン状態において、トランジスタL1のエミッタからベースを介してコレクタへ流れていた電流によりコンデンサC1に蓄積された電荷は、NOT素子への入力電圧が反転して出力される前に抵抗R1を介して解放されるため、信号線S1が+5Vで維持される。一方、CPU100のポートP0からパルス信号が出力されないと、トランジスタL1のベースに電圧が付加されないため、トランジスタL1のエミッタからベースを介してコレクタへ電流が流れる。すると、コンデンサC1に電荷が蓄積され、NOT素子への入力電圧が徐々に上昇する。このNOT素子への入力電圧がある値以上になると、NOT素子への入力電圧が反転して出力され信号線S1が0Vになり、電圧が瞬間的に低下してポートRESETにリセット信号が出力される。このリセット回路107a'からリセット信号が出力される周期は、50～60ms程度に設定され、抵抗R1、コンデンサC1により定められる。

【0011】パルス出力回路107b'は、上記リセット回路107a'でのCPU100のポートP0からパルス信号が出力されない場合の動作原理と同様にポートWUに抵抗R2、コンデンサC2により定められる周期でパルス信号が出力される。このパルス出力回路107b'からパルス信号が出力される周期は、リセット回路107a'と同様に50～60ms程度に設定される。

【0012】以上説明したCPUの暴走を検出するWD回路を設けた従来技術として、多重伝送システムにおける制御ノードにWD回路を内蔵し、CPUの異常が検出された場合、CPUにリセットをかけると共に、多重LSIにCPUからの送信要求を受け付けられないような禁止回路を設けものが提案されている（特開平5-173903号）。

#### 【0013】

【発明が解決しようとする課題】しかしながら、上述したような従来のCPUの異常検出装置においては、リセット回路107a'からのリセット信号の出力周期及びパルス出力回路107b'からのパルス信号の出力周期は、約50msec～60msecに設定されている。言い換えると、このWD回路によるCPUの異常検出周期は約50msec～60msecであり、例えば、CPUがスリープ状態である場合、パルス信号は、スリープ状態のCPUを約50msec～60msecの周期で一時的に起こし、起こされたCPUが、WD回路に対してパルス信号を出力するように作用する。本来スリープモードは、バッテリー電源に接続されたCPUの消費電力を低減するために設けられているのに、結果的に、CPUにスリープモードを設けても、CPUが約50msec～60msecの周期で起こされてしまえば、バッテリー電源の消費電力を効率よく低減することができなくなる。

【0014】従って、本発明は上記従来技術の問題点を解決するために提案されたもので、その目的とするところは、バッテリー電源に接続されたCPUの消費電力を効果的に低減できるCPUの異常検出装置を提案することにある。

#### 【0015】

【課題を解決するための手段】及び

【作用】上述の課題を解決し、目的を達成するため、本発明のCPUの異常検出装置は、以下の構成を備える。即ち、所定条件が成立した場合、CPUに対してリセット信号を出力するCPUの異常検出装置において、バッテリー電源が供給されて、第1の周期毎に前記CPUの異常を検出する第1の異常検出回路と、前記バッテリー電源以外の電源が供給されて、第2の周期毎に前記CPUの異常を検出する第2の異常検出回路と、前記CPUがスリープ状態の場合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力する出力手段とを備え、前記バッテリー電源以外の電源がオフの状態における、前記第1の周期を前記第2の周期よりも長く設定すると共に、前記所定期間を前記第1の周期よりも短く設定したことを特徴とする。

【0016】また、所定条件が成立した場合、自動車の電装ユニットを制御するCPUに対してリセット信号を出力するCPUの異常検出装置において、少なくともバッテリー電源が供給され、所定期間毎にCPUの異常を検出する異常検出回路と、前記CPUがスリープ状態の場

合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力すると共に、該所定期間を前記所定周期と略同じ期間で且つ前記電装ユニットの制御に支障のない範囲でできるだけ長く設定された出力手段と、前記CPUの異常時において、該CPUから前記電装ユニットに対して制御信号が出力されても該電装ユニットの作動を禁止する作動禁止回路とを具備する。

【0017】また、複数の通信ノードが多重伝送路を介して接続され、該複数の通信ノードの中で、少なくとも所定条件が成立した場合、スリープ状態となる所定通信ノードを含む多重伝送システムにおいて、該所定通信ノードのCPUに異常が検出されると、該CPUに対してリセット信号を出力するCPUの異常検出装置であって、前記所定通信ノードは、バッテリー電源が供給されて、第1の周期毎に前記CPUの異常を検出する第1の異常検出回路と、前記バッテリー電源以外の電源が供給されて、第2の周期毎に前記CPUの異常を検出する第2の異常検出回路と、前記CPUがスリープ状態の場合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力する出力手段とを備え、前記バッテリー電源以外の電源がオフの状態における、前記第1の周期を前記第2の周期よりも長く設定すると共に、前記所定期間を前記第1の周期よりも短く設定したことを特徴とする。

【0018】また、複数の通信ノードが多重伝送路を介して接続され、該複数の通信ノードのいくつかは夫々に接続された車両の電装ユニットを制御するCPUを備えると共に、該CPUを備える通信ノードの中で、少なくとも所定条件が成立した場合、スリープ状態となる所定通信ノードを含む多重伝送システムにおいて、前記所定通信ノードのCPUに異常が検出されると、該CPUに対してリセット信号を出力するCPUの異常検出装置であって、前記所定通信ノードは、少なくともバッテリー電源が供給され、所定周期毎にCPUの異常を検出する異常検出回路と、前記CPUがスリープ状態の場合、このスリープ状態を一時的に解除するために該CPUに対して所定期間毎にスリープ解除信号を出力すると共に、該所定期間を前記所定周期と略同じ期間で且つ前記電装ユニットの制御に支障のない範囲でできるだけ長く設定された出力手段と、前記CPUの異常時において、該CPUから前記電装ユニットに対して制御信号が出力されても該電装ユニットの作動を禁止する作動禁止回路とを具備する。

【0019】以上のように、バッテリー電源で作動する電装ユニットは、バッテリー電源以外のイグニッション電源で作動する電装ユニットに比べて、CPUの暴走による誤作動の影響の少ないので、電装ユニットを制御するCPUの異常検出周期（リセット周期）をイグニッション電源のCPUより長く設定でき、スリープモードとWD

回路との両立を可能とするように作用する。

【0020】

【実施例】以下、本願発明の実施例について添付図面を参照しながら詳細に説明する。尚、以下に説明する実施例のCPUの異常検出装置は、所謂CSMA(Carrier Sense Multiple Access)/CD(Collision Detection)と呼ばれるLANアクセス方式の車両用多重伝送装置に適用した例である。

【0021】（通信ノードの回路構成）図3は、本実施例の多重伝送ネットワークで用いられる通信ノードの詳細構成を示した図である。尚、図3の通信ノードの詳細構成においては、説明を簡略化するため、上述の〔従来の技術〕の項で説明した通信ノードの回路構成との異なる部分のみ説明する。図3において、本実施例の通信ノードは、従来例の通信ノードが搭載するWD回路107の代わりにW/W回路107及び出力禁止回路110とを備える。

【0022】CPUの異常検出装置としてのW/W回路107は、CPU100における暴走等の異常状態を検出する。このW/W回路107は、CPU100の異常を検出することにより、CPUから出力補器に対して正常な制御信号が出力されなくなり、ソレノイドバルブで誤動作等が発生するのを防止する。W/W回路107は、CPUが正常な場合、CPUからパルスを周期的に出力され、このパルスが出力されなくなったときにCPUが暴走又は何らかの異常が発生したと判断して、CPUに対してリセットする信号を出力する。

【0023】出力禁止回路110は、CPU100が暴走し、CPU100から異常な作動制御信号が出力I/F部105を介して出力補器106に出力されないようにする回路である。この出力禁止回路110は、CPU100と出力I/F部105の間に搭載される。

【0024】＜第1実施例＞図4に第1実施例の上記W/W回路107の詳細回路を示す。図4に示すように、W/W回路107は、イグニッションスイッチ（IG）及びアクセサリスイッチ（以下、IG/ACC電源と呼ぶ）により電源が供給される第1リセット回路107aと、バッテリー電源により電源が供給される第2リセット回路107bとパルス出力回路107cからなる。

【0025】第1リセット回路107aは、上記従来例のWD回路107a'でのCPU100のポートP0からパルス信号が出力されない場合の動作原理と同様にポートP0から出力される信号により、スイッチングトランジスタL1をオン/オフされてCPU100のポートRESETにリセット信号を出力する。トランジスタL1のコレクタ側には、IG/ACC電源から電源回路部108を介して+5Vの電圧が付加されている。また、ポートRESETに接続される信号線S3にも抵抗を介して+5Vの電圧が付加されている。その他の構成及び動作原理は、従来のリセット回路107a'と同様であ

る。また、この第1リセット回路107aからリセット信号が出力される周期は、100ms程度に設定され、抵抗R3、コンデンサC3により定められる。

【0026】第2リセット回路107bは、第1リセット回路107aと同様に、ポートP0から出力される信号により、スイッチングトランジスタL1をオン/オフ

されてCPU100のポートRESETにリセット信号を出力する。トランジスタL1のコレクタ側には、バッテリー電源から電源回路部108を介して+5Vの電圧が付加されている。また、ポートRESETに接続される信号線S4にも抵抗を介してIG/ACC電源から+5Vの電圧が付加されている。その他の構成及び動作原理は、上記第1リセット回路107aと同様である。また、この第2リセット回路107bからリセット信号が出力される周期は、1000ms程度に設定され、抵抗R4、コンデンサC4により定められる。

【0027】パルス出力回路107cは、上記第1及び第2リセット回路107a、107bでのCPU100のポートP0からパルス信号が出力されない場合の動作原理と同様にポートWUに抵抗R5、コンデンサC5により定められる周期でパルス信号が出力される。このパルス出力回路107cからパルス信号が出力される周期は、500ms程度に設定される。

【0028】パルス出力回路107cから出力されるパルス信号は、CPU100のスリープモードにおいて、定期的（上記実施例では、500ms程度の周期）にスリープモードを解除するように機能する。このように定期的にスリープを解除する理由は、上記第1リセット回路107a及び第2リセット回路107bによりCPUにリセットがかからないようにするためである。即ち、スリープモードのCPUは、スリープモードから解除されてポートP0からパルス信号を出力することにより、第2リセット回路からのリセット信号でリセットがかからないようにするのである。このポートP0への出力は、パルス出力回路107cからのパルス出力と同調して出力されると共に、第2リセット回路107bのリセット周期は、パルス出力回路107cからのパルス信号出力周期よりも長く設定される。

【0029】また、多重伝送システムにおける通信ノードがバッテリー電源で動作する電装ユニットを制御する場合には、IG/ACC電源で動作する電装ユニットを制御する場合に比べてCPUの異常による電装ユニットの誤作動の影響が少ないため、第2リセット回路107bは、第1リセット回路に比べてCPUのリセット周期を長く設定でき、バッテリーの消費電力を低減できる。また、リセット周期を本実施例のように長く設定することにより、ルームランプ等が誤作動して点滅した場合、乗員に通信ノードの異常を容易に報知できるので多重伝送システムとしての信頼性が向上する。

【0030】出力禁止回路110は、バッテリー電源が供

給され、トランジスタL2をスイッチングすることによりアンプP2の出力を変化させる。即ち、CPU100のポートP0とポートPxとを同調させ、ポートP0からパルスが出力されると、ポートPxにもパルスが出力される。ポートPxからパルスが出力されると、トランジスタL2がオンされ、アンプP2から出力されなくなる。CPUのポートPyは出力補器への制御信号を出力するポートである。アンプP2からの出力とCPUのポートPyからの出力とは、AND素子xに入力されるので、例えば、CPU100が暴走して、ポートPyから何らかの制御信号が出力された場合でも、ポートPxからパルスの出力はない（ポートP0への出力がないため）ので出力補器への出力はなされず、誤作動を防止できる。

【0031】<第2実施例>次に、本発明に基づく第2実施例のCPUの異常検出装置の回路構成について説明する。図5に第2実施例の上記W/W回路107の詳細回路を示す。図5に示すように、W/W回路107は、イグニッションスイッチ及びアクセサリスイッチ（以下、IG/ACC電源と呼ぶ）及びバッテリー電源により電源が供給される主リセット回路107dとパルス出力回路107eからなる。これら主リセット回路107dとパルス出力回路107eへの電源は、イグニッションスイッチ及びアクセサリスイッチがオフされてもバッテリー電源から供給される。

【0032】主リセット回路107dは、第1実施例の第1及び第2リセット回路でのCPU100のポートP0からパルス信号が出力されない場合の動作原理と同様にポートP0から出力される信号により、スイッチングトランジスタL6をオン/オフされてCPU100のポートRESETにリセット信号を出力する。トランジスタL6のコレクタ側には、IG/ACC電源及びバッテリー電源から電源回路部108を介して+5Vの電圧が付加されている。また、ポートRESETに接続される信号線S6にも抵抗を介して+5Vの電圧が付加されている。その他の構成及び動作原理は、従来のリセット回路107aと同様である。また、この主リセット回路107dからリセット信号が出力される周期は、200~300ms程度に設定され、抵抗R6、コンデンサC6により定められる。

【0033】パルス出力回路107eは、第1実施例の第1及び第2リセット回路107a、107bでのCPU100のポートP0からパルス信号が出力されない場合の動作原理と同様にポートWUに抵抗R7、コンデンサC7により定められる周期でパルス信号が出力される。このパルス出力回路107eからパルス信号が出力される周期は、主リセット回路107dと同じ200~300ms程度に設定される。

【0034】第1実施例と同様に、パルス出力回路107eから出力されるパルス信号は、CPU100のスリ

ープモードにおいて、定期的（上記実施例では、200～300ms程度の周期）にスリープモードを解除するように機能する。この第2実施例は、第1実施例のようにリセット周期の異なる2種類のリセット回路を1つにまとめ、従来例のリセット回路よりリセット周期を長くすると共に、リセット周期とパルス出力回路のパルス出力周期とを同じに設定した例である。このリセット周期は、多重伝送システムにおける通信ノードがIG/ACC電源で作動する電装ユニットを制御する場合において、電装ユニットの制御に悪影響を及ぼさない程度の周期に設定され、従来のもものと比較すると相対的にバッテリーの消費電力を低減できる。

【0035】また、第2実施例においては、従来に比べてCPUの異常検出周期を長く設定しているため、万が一CPUが暴走した場合、出力補器に対して異常な制御信号が出力される可能性が高くなる。この解決策として、第2実施例においても、第1実施例と同じ回路構成の出力禁止回路110が設けられており、CPU100が暴走して、ポートPyから何らかの制御信号が出力された場合でも、ポートPxからパルスの出力はない（ポートP0への出力がないため）ので出力補器への出力はなされず、誤作動を防止できる。

【0036】（実施例の効果）図6は従来のWD回路から出力されるパルスに応じた消費電流を示す。また、図7は、第1実施例に基づくW/W回路から出力されるパルスに応じた消費電流を示す。図6、図7を比較すると一目瞭然のように、第2リセット回路107bのリセット周期を第1リセット回路のリセット周期に比べて長く設定することで、スリープモードを解除し、CPU100がリセット回路107bにパルス信号を出力するために必要となるバッテリーの消費電流を相対的に低減でき、消費電力を低減できる。

【0037】〈CPUの制御手順〉次に、上述の第1及び第2実施例に共通するCPUの制御手順を説明する。図8は、CPUのメインルーチンの制御手順を示す。また、図9は、CPUのサブルーチンの制御手順を示す。図8において、処理が開始されると、ステップS10では、イグニッションスイッチがオンされた状態か否かを検出する。ステップS10でイグニッションスイッチがオンされていない場合（ステップS10で判断YES）、ステップS12に進み、オンされている場合（ステップS10で判断NO、ステップS18に進む。ステップS12では、CPUのポートWUへパルス出力回路から周期的にパルス信号が出力される。ステップS14では、ポートWUへ出力されたパルスによりスリープモードが解除されたか否かを検出する。ステップS14でスリープモードが解除された場合（ステップS14で判断YES）、ステップS16に進み後述のインタラプト解析のサブルーチンプログラムを実行する。また、ステップS14でスリープモードが解除されていない場合

（ステップS14で判断NO）、ステップS10へリターンする。

【0038】ステップS18では、イグニッションスイッチがオンされているので、イグニッションオン時の通常制御を実行する。次に、上述のインタラプト解析でのサブルーチンプログラムの制御手順を説明する。図9は、インタラプト解析時のCPUの制御手順を示す。図9において、処理が開始されると、ステップS30では、ポートWUへパルスが出力されたか否かを検出する。ステップS30でパルスが出力された場合（ステップS30で判断YES）、ステップS32に進み、パルスが出力されない場合（ステップS30で判断NO）、ステップS36に進んで、スリープモードに移行する。ステップS32では、ポートP0よりパルスを出力してリセット回路からリセット信号が出力されないようにする。その後、ステップS34に進み、イグニッションスイッチがオン状態か否かを判定する。ステップS34において、イグニッションスイッチがオン状態の場合（ステップS30で判断YES）、図8に示すステップS18に進み、イグニッションスイッチがオン状態でない場合（ステップS30で判断NO）、ステップS36へ進む。ステップS36では、スリープモードへ移行した後、メインルーチンのプログラムへリターンする。

〈変形〉尚、本発明は上記第1及び第2実施例に限定されないのは明らかである。

【0039】例えば、CPUのリセット周期は、上記実施例に限定されず、多重伝送システムにおける通信ノードがIG/ACC電源で作動する電装ユニットを制御する場合において、電装ユニットの制御に悪影響を及ぼさない程度の周期であれば、CPUの動作環境に基づいて最適値に設定できる。また、本発明は、上記実施例のように自動車の多重伝送システムに適用した場合に限定されないことは言うまでもない。

【0040】

【発明の効果】以上説明したように、本発明のCPUの異常検出装置によれば、バッテリー電源で作動する電装ユニットは、イグニッション電源で作動する電装ユニットに比べて、CPUの暴走による誤作動の影響の少ないので、電装ユニットを制御するCPUの異常検出周期（リセット周期）をイグニッション電源のCPUより長く設定でき、スリープモードとWD回路との両立を実現するので、バッテリー電源の電力消費を効果的に低減できる効果がある。

【0041】また、CPUの暴走時に、CPUから電装ユニットへの制御信号の出力を禁止する回路を設けたことにより、イグニッション電源とバッテリー電源とでCPUのリセット周期を同じに設定すると共に、従来より長く設定しても、電装ユニットの誤作動の発生を低減できる効果がある。また、多重伝送システムを構成する通信ノードのCPUにおいても、リセット周期をイグニッ

オン電源のCPUより長く設定でき、スリープモードとWD回路との両立を実現するので、バッテリー電源の電力消費を効果的に低減できる効果がある。

【図面の簡単な説明】

【図1】従来の多重通信システムにおける通信ノードの回路構成を示す図である。

【図2】従来の通信ノードが搭載するWD回路の詳細回路を示す図である。

【図3】本実施例の多重伝送ネットワークで用いられる通信ノードの詳細構成を示した図である。

【図4】第1実施例のW/W回路の詳細回路を示す図である。

【図5】第2実施例のW/W回路の詳細回路を示す図である。

【図6】従来のWD回路から出力されるパルスに応じた消費電流を示す図である。

【図7】第1実施例に基づくW/W回路から出力されるパルスに応じた消費電流を示す図である。

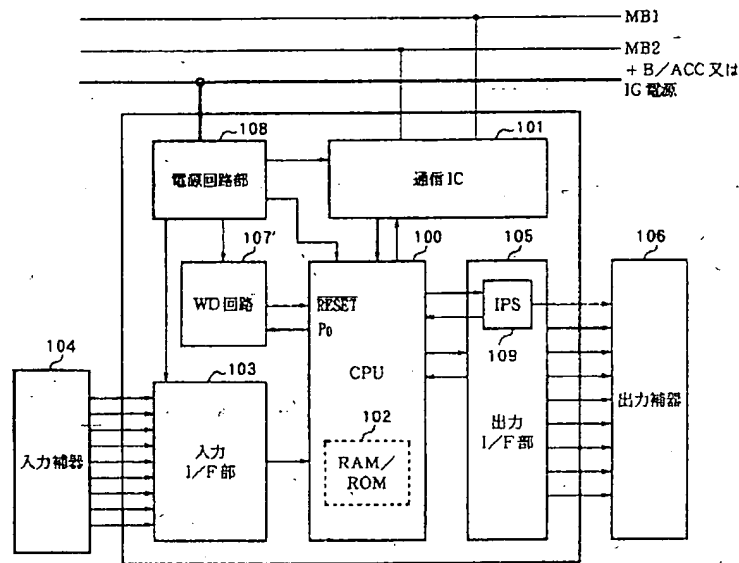
【図8】CPUのメインルーチンの制御手順を示す図である。

【図9】CPUのサブルーチンの制御手順を示す図である。

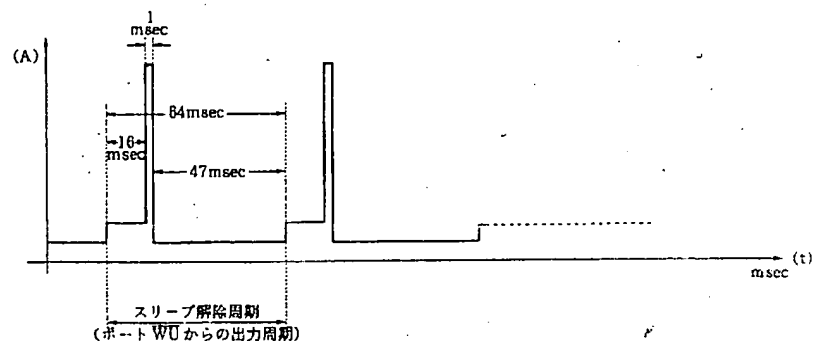
【符号の説明】

100…CPU  
107a…従来のリセット回路  
107b…従来のパルス出力回路  
107a…第1実施例の第1リセット回路  
107b…第1実施例の第2リセット回路  
107c…第1実施例のパルス出力回路  
107d…第2実施例の主リセット回路  
107e…第2実施例のパルス出力回路  
110…出力禁止回路

【図1】

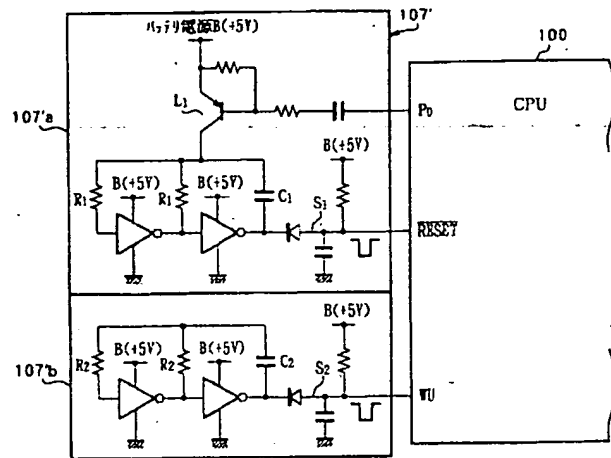


【図6】

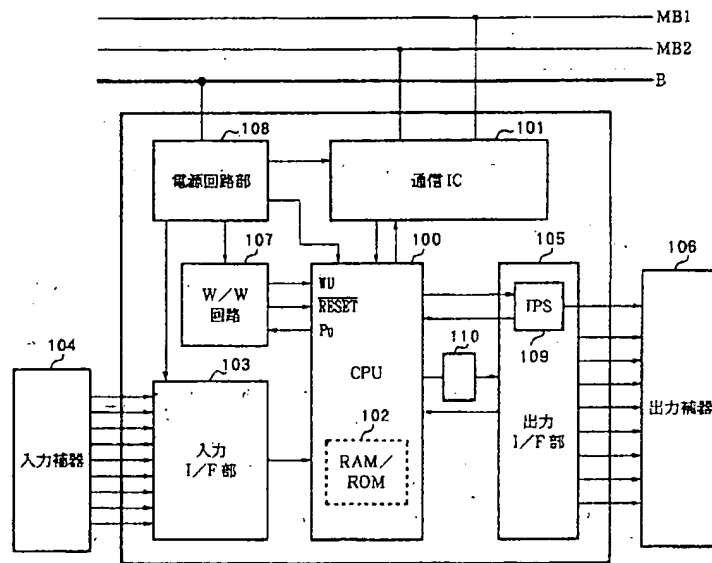




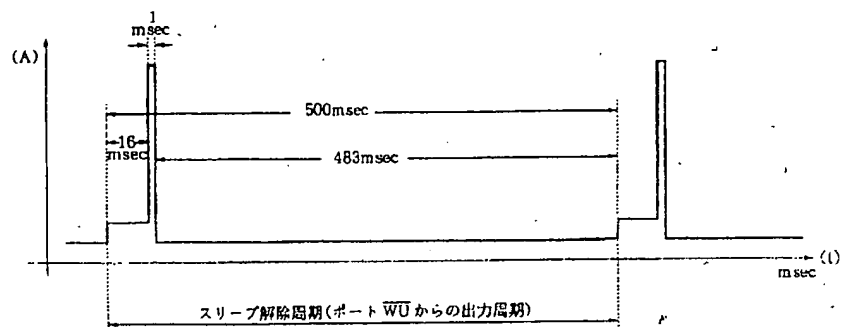
【図2】



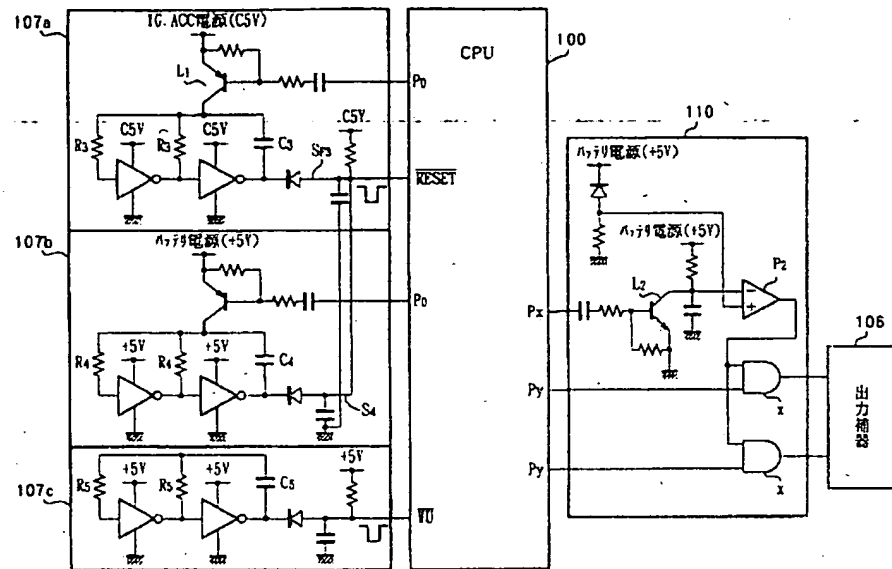
【図3】



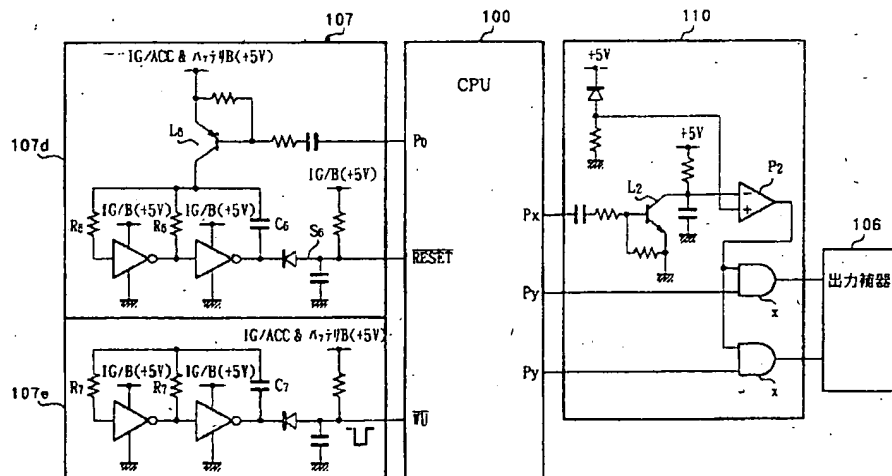
【図7】



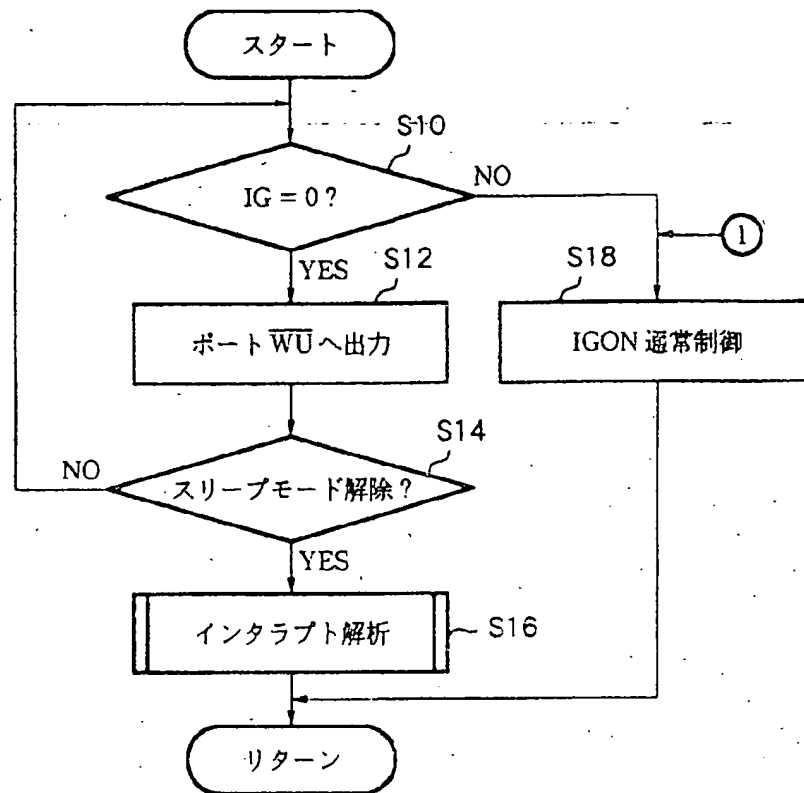
【図4】



【図5】



【図8】



【図9】

